

日本国特許庁
JAPAN PATENT OFFICE

157700 7-3502
J1040 U.S. PTO
10/082593



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 7月24日

出願番号
Application Number:

特願2001-222405

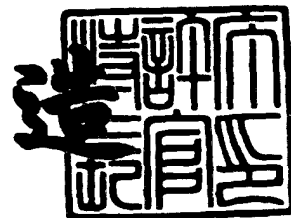
出願人
Applicant(s):

株式会社日立製作所

2001年 9月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3085518

【書類名】 特許願

【整理番号】 D01002441A

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

 【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
 製作所生産技術研究所内

 【氏名】 浜松 玲

【発明者】

 【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
 製作所生産技術研究所内

 【氏名】 野口 稔

【発明者】

 【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
 製作所生産技術研究所内

 【氏名】 大島 良正

【発明者】

 【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
 製作所生産技術研究所内

 【氏名】 西山 英利

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

【手数料の表示】

 【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイスの検査方法

【特許請求の範囲】

【請求項 1】

半導体デバイスの検査方法であって、半導体デバイスの設計データを用いて検査条件を設定し、該設定した条件で半導体デバイスを検査し、該検査した結果を用いて前記設計データを用いて設定した検査条件を修正し、該修正した検査条件を用いて半導体デバイスを検査することを特徴とする半導体デバイスの検査方法。

【請求項 2】

半導体デバイスの検査方法であって、半導体デバイスの品種名と処理した工程名とを特定して設計データベースから関連する情報を引き出し、該引き出した関連する情報を用いて検査条件を設定し、該設定した条件で半導体デバイスを検査し、該検査した結果を用いて前記設計データを用いて設定した検査条件を修正し、該修正した検査条件を用いて半導体デバイスを検査し、該検査した結果を出力することを特徴とする半導体デバイスの検査方法。

【請求項 3】

前記設計データを用いて設定した検査条件には、検査領域が虚報のでやすいエリアにあるか否かの情報が付加されていることを特徴とする請求項 1 又は 2 に記載の半導体デバイスの検査方法。

【請求項 4】

前記設計データを用いて設定した検査条件を修正することを、前記半導体デバイスを検査して検出した欠陥をレビューし分類した結果を元に実異物のみを検出する、または虚報の割合が一定以下となるように修正することを特徴とする請求項 1 又は 2 に記載の半導体デバイスの検査方法。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、半導体デバイスや液晶または磁気ヘッド等の製造ラインにおける検査の方法に関するものである。

【 0 0 0 2 】

【従来の技術】

半導体ウェハの検査を一例として説明する。

【 0 0 0 3 】

半導体デバイスは、半導体ウェハ上に主にホトマスクに形成されたパターンをリソグラフィー処理およびエッチング処理により転写する工程を繰り返すことにより製造される。半導体デバイスの製造過程においてリソグラフィー処理やエッチング処理その他各種加工処理の良否、異物発生等は、半導体デバイスの歩留りに大きく影響をおよぼすため、異常や不良の発生を早期あるいは事前に検知するために製造仮定からの半導体ウェハを検査する方法は従来から実施されている。

【 0 0 0 4 】

半導体ウェハ上のパターンに存在する欠陥を検査する方法としては、半導体ウェハに白色光を照射し、光学画像を用いて複数の L S I の同種の回路パターンを比較する欠陥検査装置が実用化されており、例えば光学画像を用いた検査方法では、特開平3-167456 号公報に記載されているように、基板上の光学照明された領域を時間遅延積分センサ上に結像し、センサで検出した画像と予め入力しておいた設計情報とを比較することにより欠陥を検出する方式が開示されている。

【 0 0 0 5 】

上記欠陥検査においては、隣接する同等の回路パターンの画像を形成しこれらを比較して欠陥を自動検出するものであるが、検査においては様々なパターンレイアウトのウェハあるいは様々な材料のパターンに対応する必要がある。隣接するパターン同士を正確に比較するためには、パターンの配置すなわちウェハ上のチップ（ダイ）やショットの配列を予め求めて当該被検査ウェハの検査条件としておく必要がある。また、様々な材料において検査に適した画像を形成するためには、画像の明るさやパターン／下地のコントラストを適正な値に設定し当該被検査ウェハの検査条件としておく必要がある。しかし、上記従来装置においてはこれらの検査条件設定の手順や操作方法については記載がなく、その操作が煩雑で、新規に検査対象となるウェハについて適切な検査条件を一通り設定するのに1～数時間を要していた。半導体製造ラインにおいては、複数の製品（すなわ

ち複数の回路パターン配列)、且つ複数の工程(すなわち複数の材料および複数の詳細な回路パターン形状)についてパターン検査を実施するため、膨大な数の検査条件を設定する必要がある、その結果、検査における各操作、特に検査条件設定操作に膨大な時間を要するという問題があった。

【 0 0 0 6 】

特開2001-35893号公報には、上記検査条件設定する際にその操作性効率を向上し、検査条件設定時間を短縮する方法が開示されている。操作画面のレイアウトを工夫することにより、設定項目の入力に必要な時間を低減しているが、それでもなお、検査装置の検査条件設定には30分から数時間を要していた。

【 0 0 0 7 】

【発明が解決しようとする課題】

上記従来技術に記載したように半導体デバイスをはじめとする各種微細なパターンを検査する装置においては、各種の検査条件を設定する必要がある、またこれらの検査条件は品種・工程毎に調整が必要である。また条件出しの間は検査装置が占有されてしまい、実際に検査をする時間が減少してしまう。さらに条件出しの間は半導体製品を停滞させておかななくてはならない。このため、半導体デバイスのターンアラウンドタイム(TAT)を伸ばしてしまい、コストの増加につながっていた。

【 0 0 0 8 】

本発明の第1の目的は、白色光・レーザ光、あるいは電子線を照射して形成された画像を用いて微細な回路パターンを検査する技術において、検査に必要な各種条件を設定する際に、半導体デバイスの設計データを利用することでユーザの入力を最小限にするための技術を提供することである。

【 0 0 0 9 】

本発明の第2の目的は、半導体デバイスの設計データを利用することで、上記検査条件の設定を被検査対象の半導体デバイスが検査工程に到着する前に仮決めし、検査条件設定にかかる時間を必要最低限にする技術を提供することにある。

【 0 0 1 0 】

本発明の第3の目的は、半導体デバイスの設計データを利用することで、高感

度で欠陥検出数にしめる虚報の割合を一定以下にする検査結果を出力する技術を提供することにある。

【 0 0 1 1 】

本発明の第 4 の目的は、半導体デバイスの設計データを利用することで、検出した欠陥が虚報の出やすいエリアであるかどうかを判別し、その判別情報を検査結果に付加することで、検査条件決定の際に虚報の出やすいエリアの欠陥を優先的にレビューすることを可能とする技術を提供することにある。

【 0 0 1 2 】

本発明の第 5 の目的は、半導体デバイスの設計データを利用することで、半導体デバイスのチップ内のエリアごとのデザインルールまたは機能的な重要度に応じて検査感度を任意に設定することを可能とする技術を提供することにある。

【 0 0 1 3 】

本発明の第 6 の目的は、半導体デバイスの設計データを利用することで、欠陥が透明膜上にあるか、非透明膜状にあるかを判別し、その情報を欠陥検出結果に付加し、走査型電子線顕微鏡（SEM）で確認可能な欠陥と確認不可能な欠陥を弁別する技術を提供することにある。

【 0 0 1 4 】

本発明の第 7 の目的は、半導体検査装置の設計データを利用することで、検出欠陥の分類の際に、欠陥が特定のパターンまたは材質上にあるかどうかを判定し、欠陥を分類する際に有効な情報を得る技術を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

第 1、第 2 の目的を達成するために、半導体デバイスの検査装置において、半導体デバイスの設計データを利用することで検査装置の複数のパラメータを自動的に設定可能とする機能を備えた。

【 0 0 1 6 】

第 3 の目的を達成するために、半導体デバイスの設計データを利用して、欠陥検出の際の統計処理に用いられる特定の繰り返しパターンからの検出信号の母数を増やす機能を備えた。

【 0 0 1 7 】

第 4 の目的を達成するために半導体デバイスの検査装置において、半導体デバイスの設計データを利用することで、検出した欠陥が虚報のでやすいエリアにあるか否かの情報を検出結果に付加する機能を備えた。また付加された情報をもとに虚報のでやすいエリアにある欠陥を優先的にレビュー可能な機能を備えた。

【 0 0 1 8 】

第 6 の目的を達成するために半導体デバイスの設計データを利用して、欠陥が透明膜上にあるか、非透明膜状にあるかを判別し、その情報を欠陥検出結果に付加する機能を備えた。

【 0 0 1 9 】

すなわち、本発明では、上記した目的を達成するために、半導体デバイスの検査方法において、半導体デバイスの設計データを用いて検査条件を設定し、この設定した条件で半導体デバイスを検査し、この検査した結果を用いて設計データを用いて設定した検査条件を修正し、この修正した検査条件を用いて半導体デバイスを検査するようにした。

【 0 0 2 0 】

また、本発明では、半導体デバイスの検査方法において、半導体デバイスの品種名と処理した工程名とを特定して設計データベースから関連する情報を引き出し、この引き出した関連する情報を用いて検査条件を設定し、この設定した条件で半導体デバイスを検査し、この検査した結果を用いて設計データを用いて設定した検査条件を修正し、この修正した検査条件を用いて半導体デバイスを検査し、この検査した結果を出力するようにした。

【 0 0 2 1 】

【発明の実施の形態】

図 1 に従来の検査条件設定の 1 例として、レーザ光の散乱を利用した異物検査装置の条件設定シーケンスを示す。従来の検査条件設定においては、まずウェハを準備して装置内にロードすることからはじまる。そして検査の前準備としてウェハ内のチップ配列（チップマトリックス）や、パターンを露光する際のショット配列（ショットマトリックス）、チップサイズや、プロセスや歩留り管理用の

TEG (Test Element Group) チップを非検査に設定すること、検査の際のウェハのスキャン方向、更にはアライメントの際に利用するチップの設定をする必要がある。また自動アライメントに用いるパターンの選択、アライメントパターンの画像データの保存をし、実際にアライメントをする。

【 0 0 2 2 】

以上の設定終了後、続いて検査感度の調整を開始する。まずチップ内の繰返しパターンからの回折光を効率的に遮光する空間フィルタを設定し、試し検査をする。試し検査後に検出結果を確認（レビュー）し、感度条件であるレーザパワーやしきい値を仮設定する。感度条件設定と試し検査、レビューを繰り返して、虚報が一定の割合以下となるような検査条件を決定した後、検査条件保存、ウェハをアンロードして条件出しを終了する。

【 0 0 2 3 】

このように従来の技術では検査条件決定までに多くの項目を入力する必要があり、多くの時間を要していた。また検査条件を設定する際に装置を使用して条件設定をしなければならないので、結果として検査装置を検査に使用できる時間が少なくなりスループットも低下していた。また複数の入力項目があるため、条件を設定する作業者は一定の訓練を受け、装置の使用方法に熟練することが必要であった。また条件出しの間は条件出しが終了するまで、ウェハを停滞する必要がある半導体製品のTATを伸ばしていた。

【 0 0 2 4 】

図2に本発明の検査条件設定シーケンスの一例を示す。まず、実際にウェハが検査工程に到着する前に検査条件を仮決めする。これにより条件設定の際のウェハの停滞時間を必要最小限度にとどめることが可能となる。

【 0 0 2 5 】

はじめに検査対象の半導体デバイスの品種名およびこの半導体デバイスを処理した直前の工程名を端末から入力する。品種名、工程名が入力されると、通信手段を介して半導体デバイスの設計データベースにアクセスして検査のための前準備に必要なデータを収集し、検査のために必要な条件を図2に示したようなステップで自動的に設定する。品種名、工程名の設定は作業者がキーボードや、バー

コードリーダーなどで入力しても構わないし、クリーンルーム内、クリーンルーム外で装置にアクセス可能なパソコンなどから設定してもよい。

【0026】

以上で検査装置条件設定の前準備が終了する。

【0027】

入力項目が品種名、工程名のわずかに2つだけであるため、作業者は検査装置に熟練する必要がない。

【0028】

次に実際にウェハが到着してからの感度設定について説明する。

【0029】

ウェハを装置内にロードすると、自動でアライメントを開始する。アライメント終了後に感度条件設定（レーザパワー、しきい値）と試し検査、レビューを繰り返し、レビューして分類した実欠陥だけを検出できるような検査条件、または虚報が一定の割合以下となる検査条件を決定した後、検査条件を保存し、ウェハをアンロードして条件出しを終了する。この、保存した検査条件は、画面上で確認することができる。

このようにして検査条件を決定した後、前の工程で処理されたウェハについてこの決定した検査条件を用いて順次検査を行い、検査が終了したウェハを次工程に送り次工程での処理を行う。検査した結果は、画面上に表示される。

一連の条件設定シーケンスの中で「感度条件設定」「試し検査」「レビュー」以外の作業時間は数秒から数十秒である。

【0030】

「感度条件設定」「試し検査」「レビュー」に関しては自動欠陥レビュー（ADR）機能や自動欠陥分類（ADC）機能を使用することで大幅に短縮可能となり、条件設定に必要な時間は数分～数十分程度と大幅に短縮可能となる。

【0031】

以下、検査装置条件設定の前準備として半導体デバイス設計データベースにアクセスして自動設定する項目について説明する。

【0032】

図3はチップマトリックスの設定とチップサイズの設定を示したものである。ウェハ内にはチップのパターンがないところがあり、検査の時にはそれらのチップを非検査にしている。例えばウェハの周辺部分ぎりぎりにあるチップは一部がウェハ周辺にかかっていたり、膜厚ムラなど半導体デバイスとして動作しない。これらのチップを自動的に削除し検査対象から外している。チップサイズ設定ではチップのx方向の大きさとy方向の大きさを設定する。

【 0 0 3 3 】

図4はショットマトリックスの設定を示したものである。半導体デバイスのパターンを露光する際には、複数のチップをまとめて露光する場合がある。その場合にチップの周辺部分（スクライブエリア）にはチップ毎に異なる（ショット単位では同一の）パターンを形成することがある。このような場合に通常のチップどうしの比較検査をするとスクライブエリアで虚報が発生してしまうため、スクライブエリアでは検査シーケンスを変更する必要がある。

【 0 0 3 4 】

図5は検査シーケンスを説明したもので、スクライブエリアのようなショット単位の繰返しパターンはショット単位での比較検査、チップ単位での繰返しパターンはチップ単位での比較検査、DRAMやSRAM、FLASHメモリなどのセルパターンはセル比較により検査をする。ウェハは面内でサイズや膜厚などの微妙なバラツキがあるため、一般に比較範囲が小さいほどばらツキの影響が小さくなって検査感度は向上する。

【 0 0 3 5 】

図6は検査・非検査チップの設定の一例を示したものである。ウェハ内にはプロセスや歩留りを管理するためのTEG（Test Element Group）チップがある場合がある。このTEGチップはその他のチップとは大きく異なる回路パターンである場合が多くこのようなチップを検査するとTEGチップ上に虚報が大量に発生する。そのため、通常TEGチップは非検査に設定する。

【 0 0 3 6 】

図7はチップ内のパターンで検査・非検査エリアを設定する一例を示したものである。この例ではスクライブエリアを非検査に設定している。このエリアはウ

エハからチップを切出す際に切断されるので、半導体デバイスの動作にはほとんど影響しない。そのため半導体デバイス製造メーカーによってはこのエリアの欠陥を管理の対象外としている場合がある。検査非検査エリアの設定ではある特定の領域、例えばCPU製品ではキャッシュメモリエリアの歩留りが製品の品質、価格に影響するため、このエリアのみを検査するようにすることも可能である。

【 0 0 3 7 】

図 8 はアライメントパターンの設定を示したものである。アライメントでは事前に登録されたパターンと検査対象となったウェハ上のパターンを比較してパターンマッチングをしている。そのため、設計データから形状情報をえることで、条件設定の際にわざわざ実ウェハを使って画像を取込み・保存する必要がなくなる。またパターンの材質の情報を使うことでコントラストが高いパターンを自動的に設定することが可能となる。

【 0 0 3 8 】

図 9 は空間フィルタの設定の一例を示したものである。半導体製品の繰返しパターンに照明をあてると、繰返しパターンのピッチ、照明の波長に応じた回折が生じる。空間フィルタはこの回折光を遮光することで、異物・欠陥とパターンの S/N を向上している。照明の波長は装置側で既知のため設計データから繰返しパターンのピッチサイズをえることで、回折光のパターンが求まる。これにより空間フィルタを自動で設定することが可能となる。図 9 下は空間フィルタ設定前と設定後の比較をしたもので、空間フィルタを設定することによりパターンの信号を下げ、その結果以前はパターンの信号に埋もれていた欠陥を検出することが可能となった例を示したものである。なお空間フィルタは検査エリア毎に設定してもよく、その場合は各エリアでパターンからのノイズを押さえることが可能になり高感度検出が達成できる。

【 0 0 3 9 】

図 10 は検査エリアごとに感度を設定した例である。例えば 0.5mm ピッチの配線部に 0.1mm の異物があっても歩留りにはほとんど影響しない。つまりこのようなエリアであまり高感度に検査をしても、歩留りに影響しない、つまり対策不要の欠陥が検出されてしまい、プロセスを管理する立場の人にとっては多くのノイズ

を含んでしまう。そこでエリアごとの半導体デバイスの設計データから配線ルールをえることで各エリアに必要な感度で検査をすることが可能となる。また例えばスクライブエリアなどは虚報がでることが多くこのようなエリアでは感度を下げること、虚報を低減することが可能である。

【 0 0 4 0 】

図11は検出した欠陥の座標と設計データをつきあわせることで欠陥がどのパターン上に存在するかを示す一例である。例えばCu配線上ではボイドが発生するが、Cu配線以外にボイドが生じることはない。そのため欠陥を自動分類する際に、特徴量の一つとしてCu配線上にあるかないかということは有効な情報である。これによって欠陥の自動分類の精度を向上することが可能となる。また、SEMによるレビューではSEMの特性上、表面にある欠陥しかレビューできない。そこで欠陥が透明膜上にあるか、不透明膜状にあるかという情報を欠陥検出結果に付加することで、SEMレビュー可能な欠陥を効率良く選択可能である。

【 0 0 4 1 】

図12は比較検査アルゴリズムにおいて統計処理をする検査装置において、設計データを利用することで、統計の母数を増やすことにより虚報の少ない安定した条件を設定することが可能になる例を示したものである。

【 0 0 4 2 】

チップの比較検査の際の統計処理とは、チップごとに座標による対応点の信号または信号の差分値を利用し、信号値と頻度の分布を仮定する。仮定された分布に対してあるしきい値を設定し、そのしきい値を超えたものを異常として判定する。この場合ウェハ内にチップ数が少ないと統計を取る際の母数が不足し、信号値の頻度分布の信頼性が低下してしまう。このような場合は虚報が発生しやすくなる。しきい値を高め設定し、虚報が出ないような条件を検査条件として設定するが、このため全体として感度の下がった状態となってしまう。

【 0 0 4 3 】

設計データを利用すると、チップごとの座標対応点以外にも同一のパターンであれば同一の信号をえられるので、母数を増やすことが可能となる。母数が増えることによって仮定する分布の信頼性が増し、しきい値を下げる事が可能とな

る。その結果虚報が少なく、高感度な検査が可能となる。

【 0 0 4 4 】

図13はパターンの粗密により照明光量を制御する方法の一例を示したものである。パターンの密度、形状によってセンサに入る検出光の強さが異なる。センサにはダイナミックレンジがあり、例えばパターンがあまり強く光ってしまうとそのエリアは検査不能となってしまう。設計データを利用することで、あらかじめエリアごとの検出光量を推定し、検査時に照明光量を制御することで、広いエリアで感度を保った検査が可能となる。エリア毎の光量制御は試し検査の時の検出光量を元に自動設定することも可能である。

【 0 0 4 5 】

図14は虚報多発エリアを示したものである。ためし検査後のレビュー時に巨砲の出やすいエリアを優占してレビューすることで、仮設定した条件に虚報がどの程度含まれているかを短い時間で判定することが可能となる。これによって条件出しの時間を短縮することが可能となる。

【 0 0 4 6 】

【発明の効果】

本発明によって得られる代表的な効果を以下に簡単に説明する。

半導体デバイスの設計データを利用することで、（１）条件設定の入力項目が減り、条件設定の時間が短縮できる。（２）入力項目が減ることにより作業者の負担が低減すると共に、検査装置を使用するための訓練が少なくなる。（３）実ウェハを使用しないで検査条件を仮設定できるのでウェハの停滞時間を短縮可能である。

【図面の簡単な説明】

【図 1】 従来の検査条件設定シーケンス

【図 2】 本発明の検査条件設定シーケンス

【図 3】 チップマトリックスとチップサイズ設定

【図 4】 ショットマトリックス設定

【図 5】 検査シーケンス設定

【図 6】 検査・非検査チップ設定

【図 7】 検査・非検査エリア設定

【図 8】 アライメントパターン設定

【図 9】 空間フィルタ設定

【図 1 0】 致命性判定

【図 1 1】 パターン上・パターン外判定

【図 1 2】 統計処理アルゴリズム

【図 1 3】 照明光量制御

【図 1 4】 虚報多発エリア判定

【符号の説明】

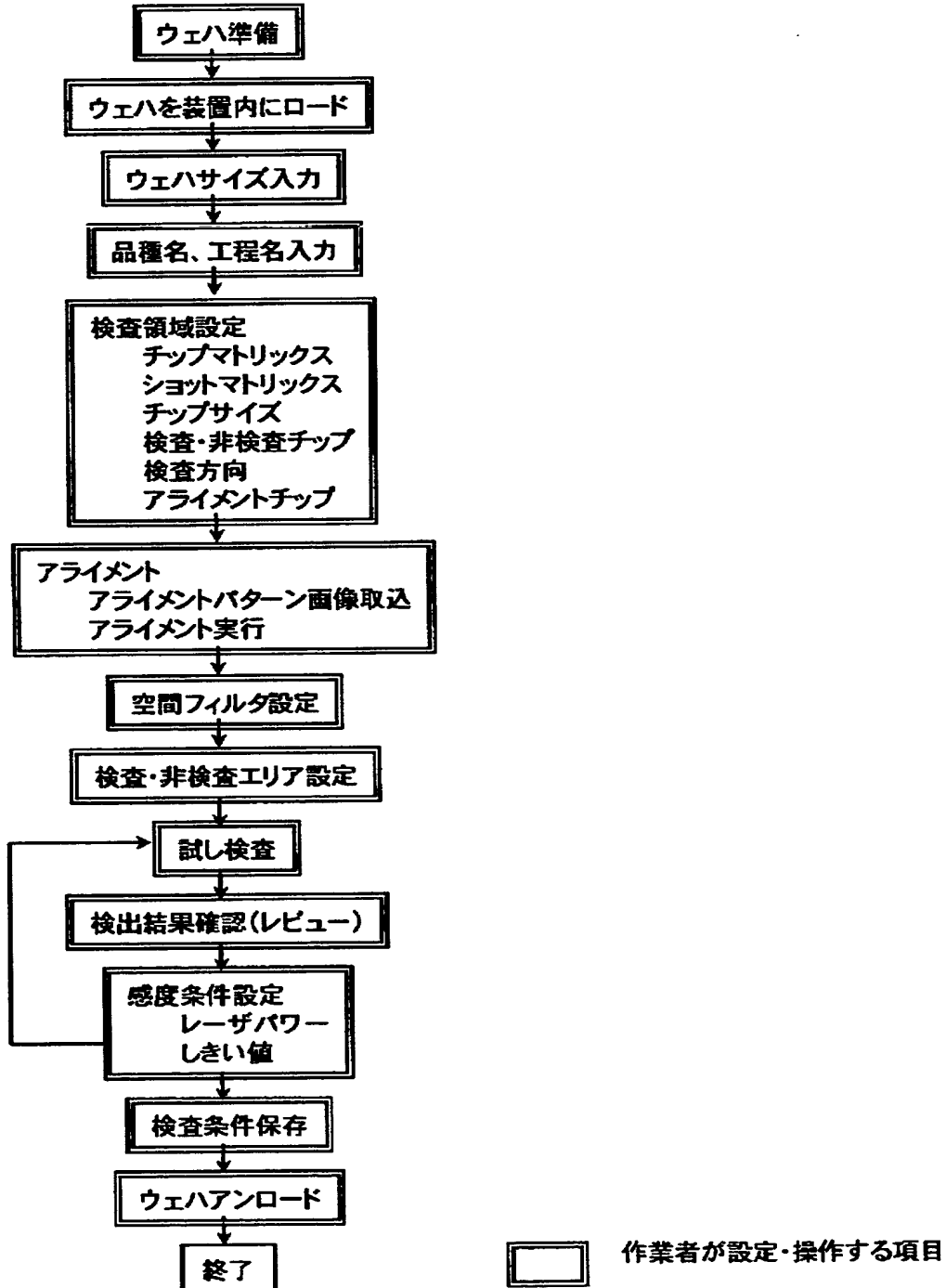
1 …ウェハ、 2 …チップマトリックス、 3 …チップ、 4 …ショット、 5 …TEGチップ、 6 …検査エリア、 7 …非検査エリア、 8 …アライメントパターン例、 9 …パターンピッチ、 1 0 …セルパターン、 1 1 …パターン信号（空間フィルタなし）、 1 2 …パターン信号（空間フィルタあり）、 1 3 …Cu配線、 1 4 …ボイド、 1 5 …仮定した信号分布、 1 6 …しきい値、 1 7 …パターン信号（光量制御なし）、 1 8 …パターン信号（光量制御あり）、 1 9 …虚報多発エリア

【書類名】 図面

【図 1】

図1

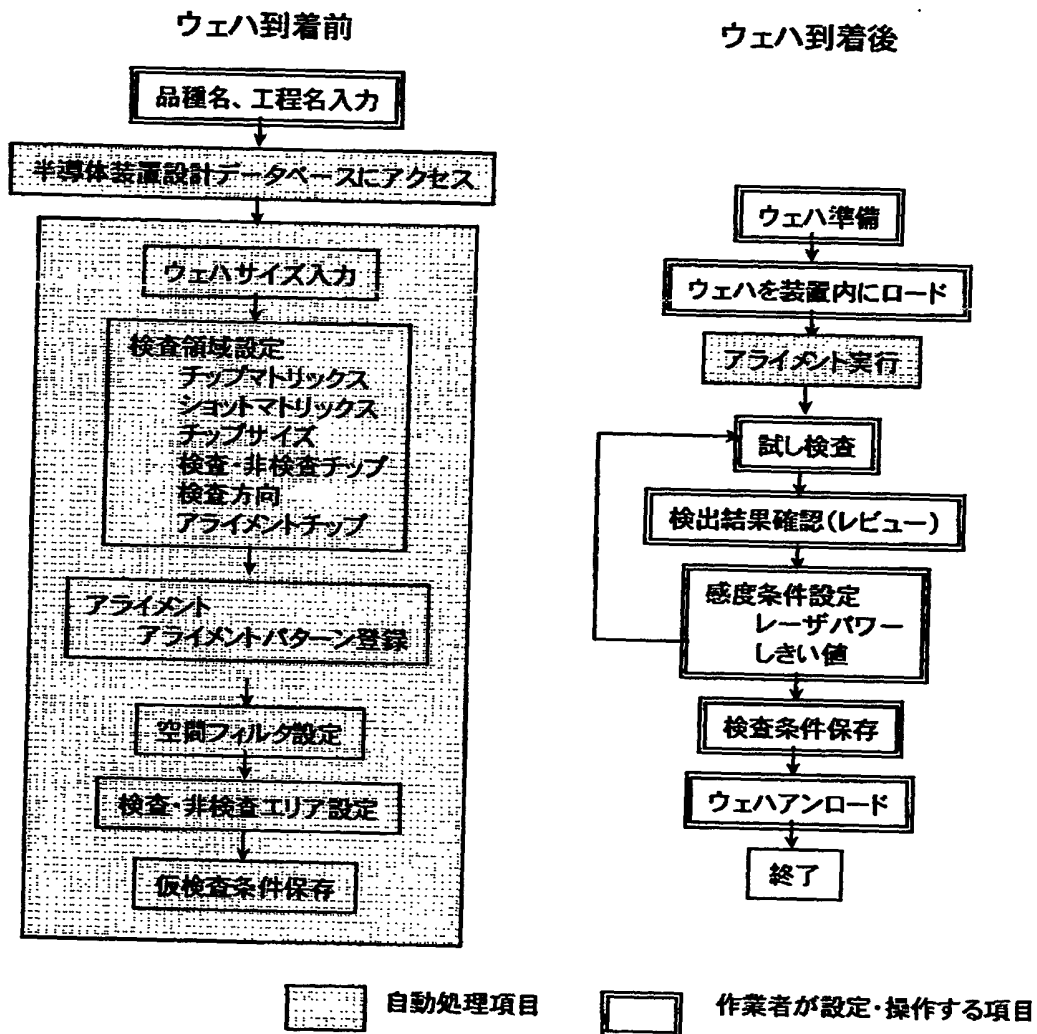
検査条件設定(従来)



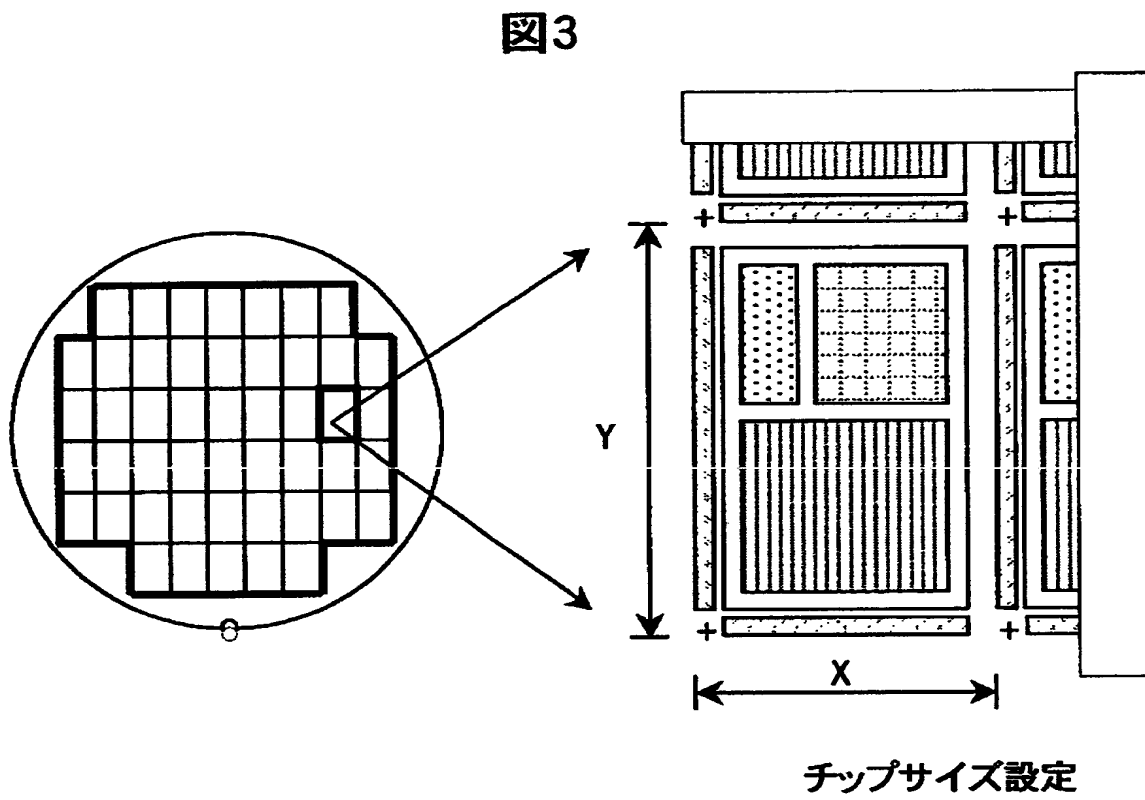
【図2】

図2

検査条件設定(本発明)

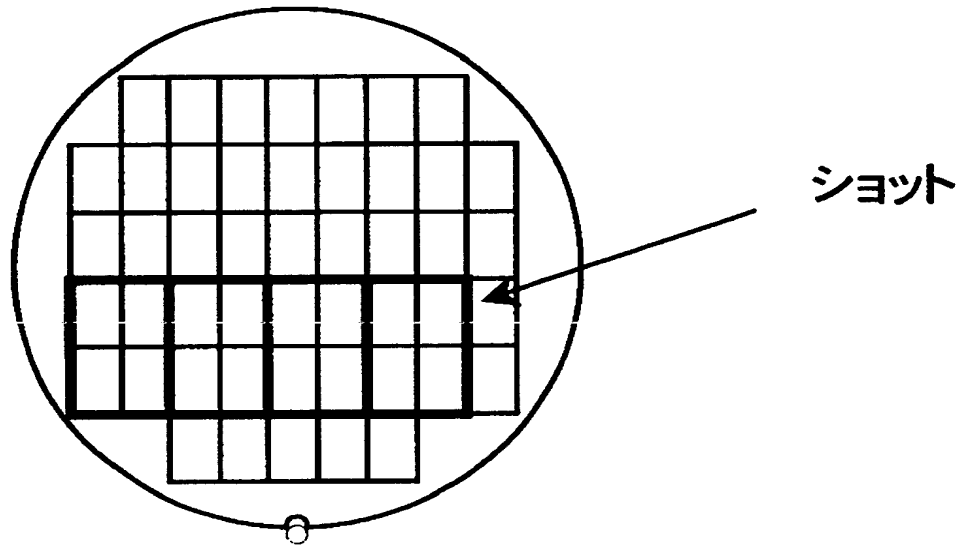


【図 3】



【図4】

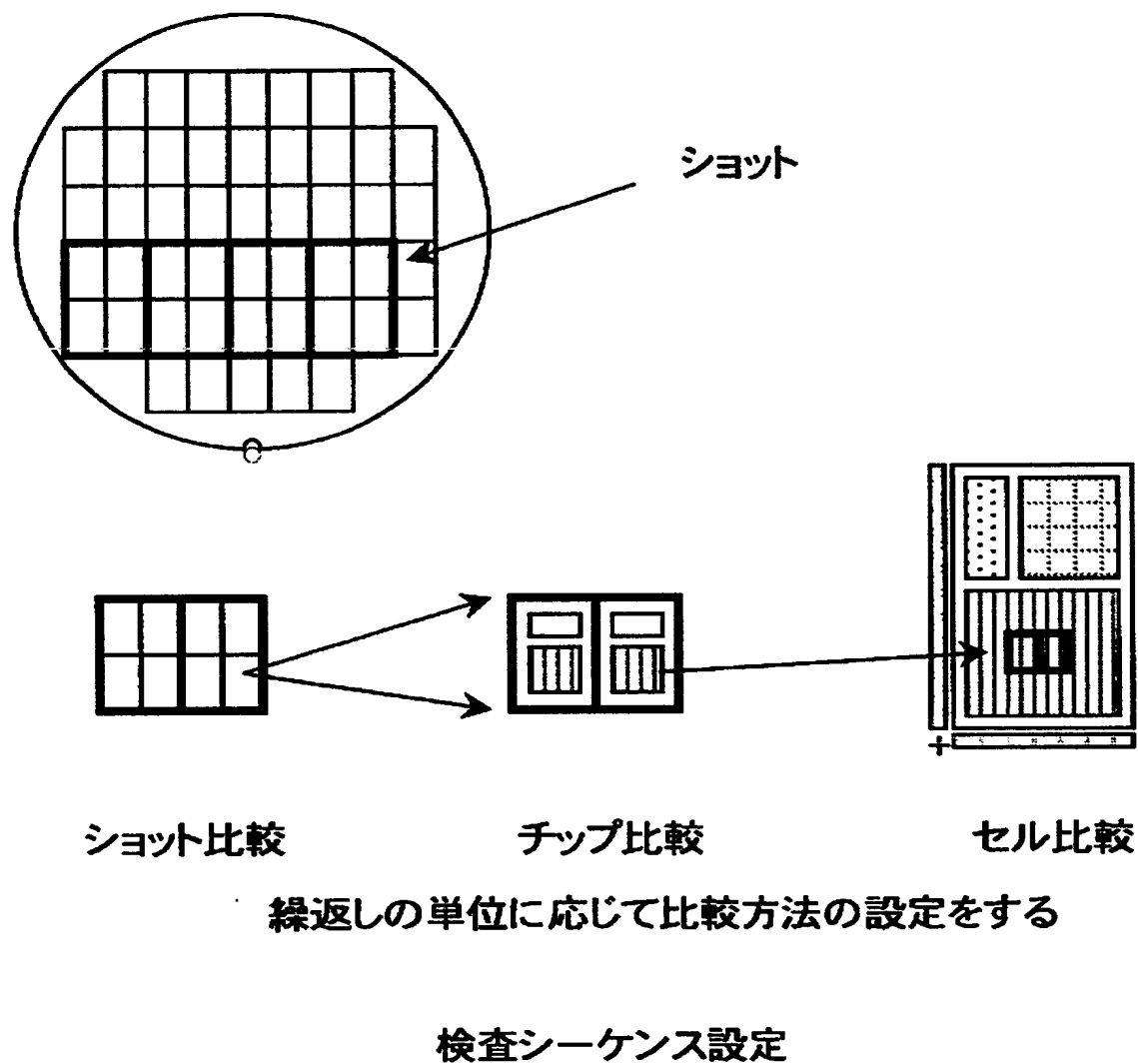
図4



ショットマトリックス設定

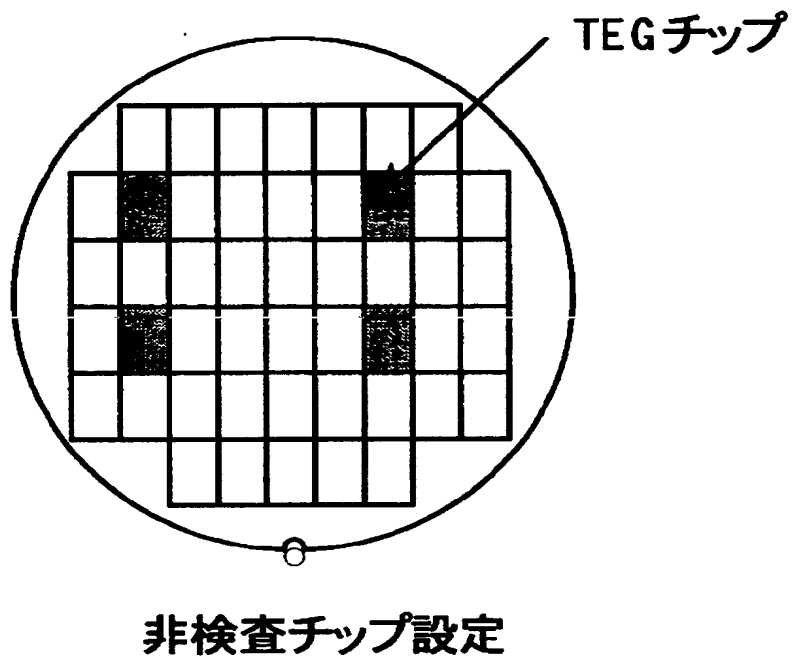
【図 5】

図5



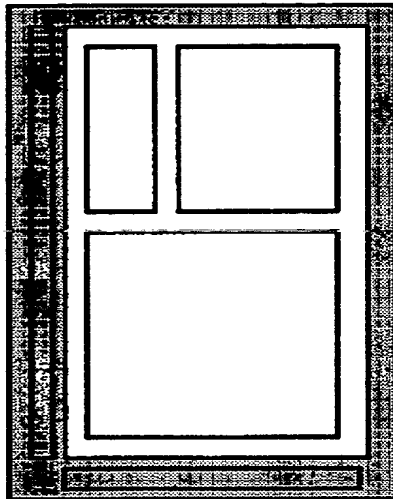
【図 6】

図6



【図 7】

図7



検査エリア



非検査エリア
(スクライブエリア)

検査エリア／非検査エリア設定

【図 8】

図8

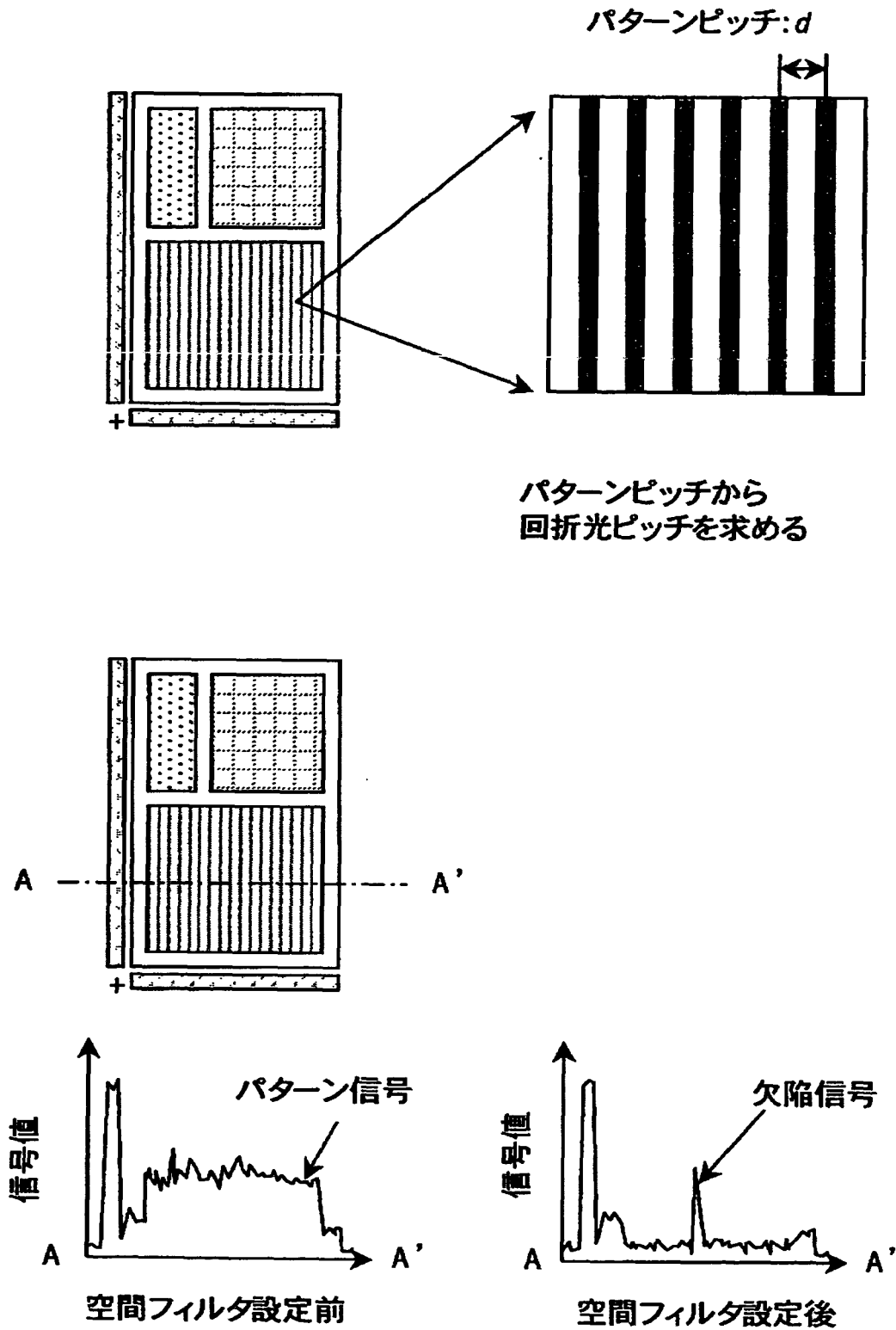


アライメント時に画像認識しやすい
パターン、材質を選択

アライメントパターン設定

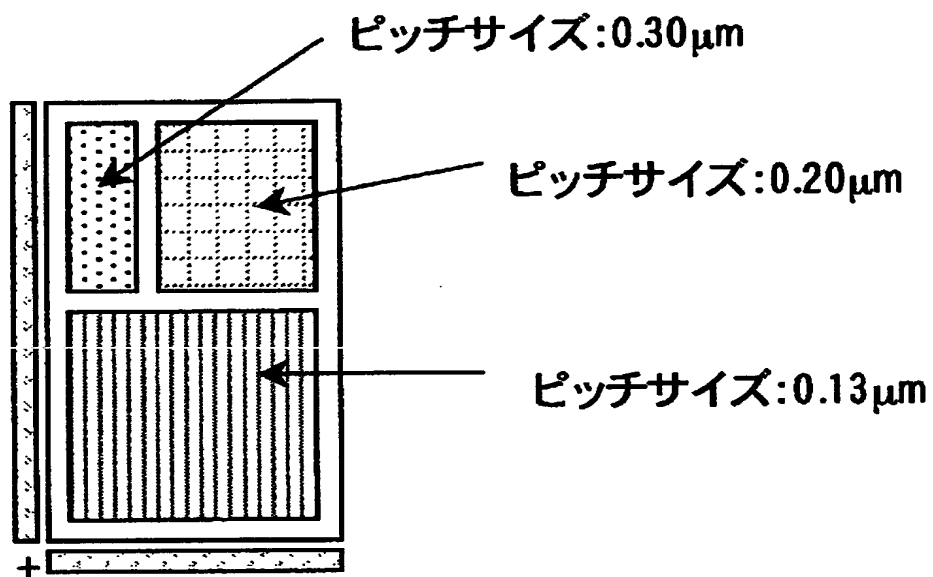
【図9】

図9



【図 1 0】

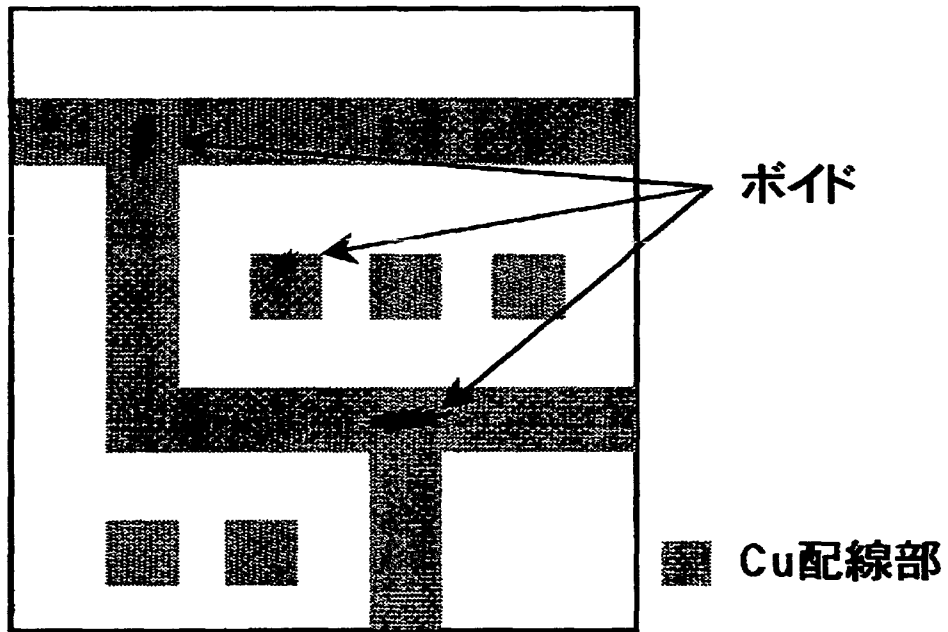
図10



致命性判定(品種、工程、エリア別)

【図 1 1】

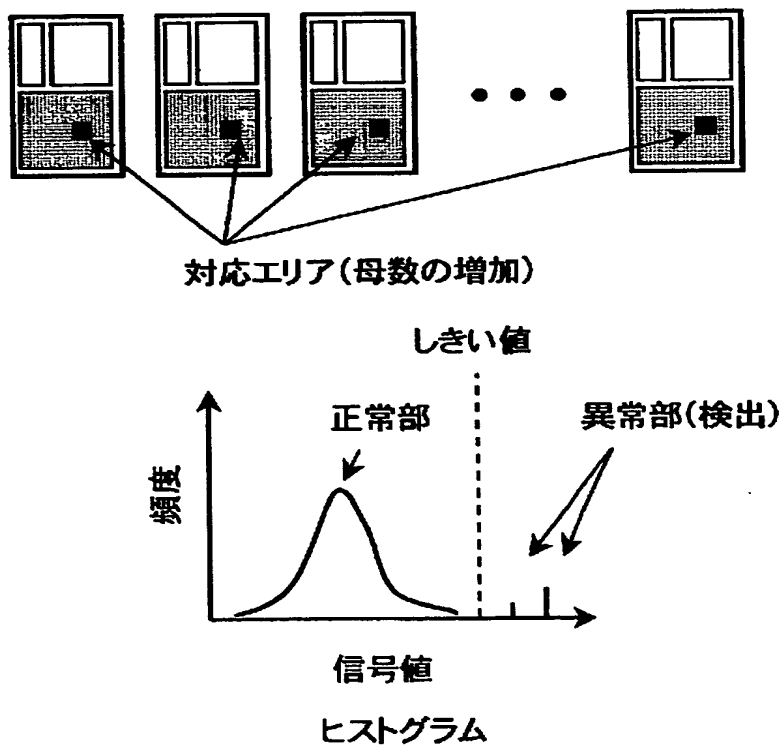
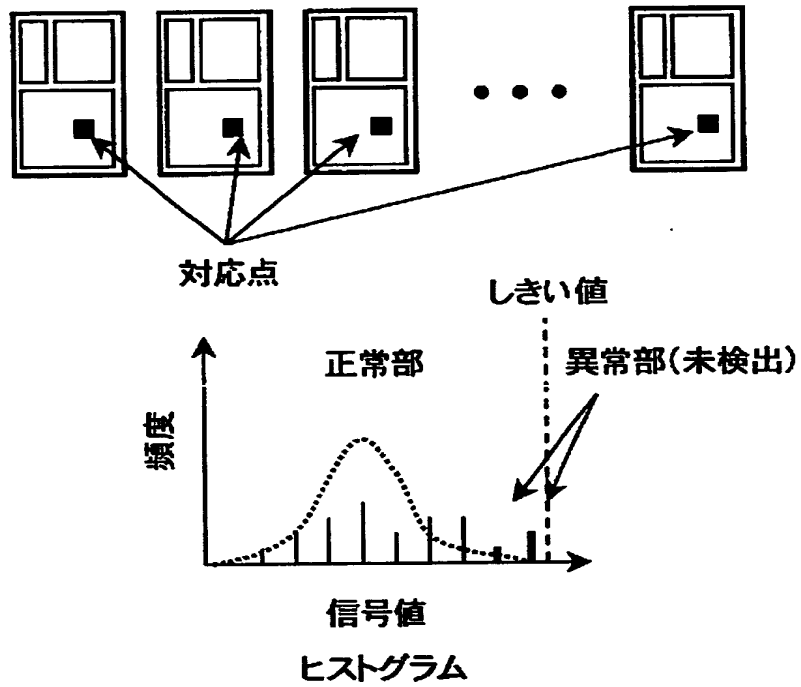
図11



欠陥自動分類技術

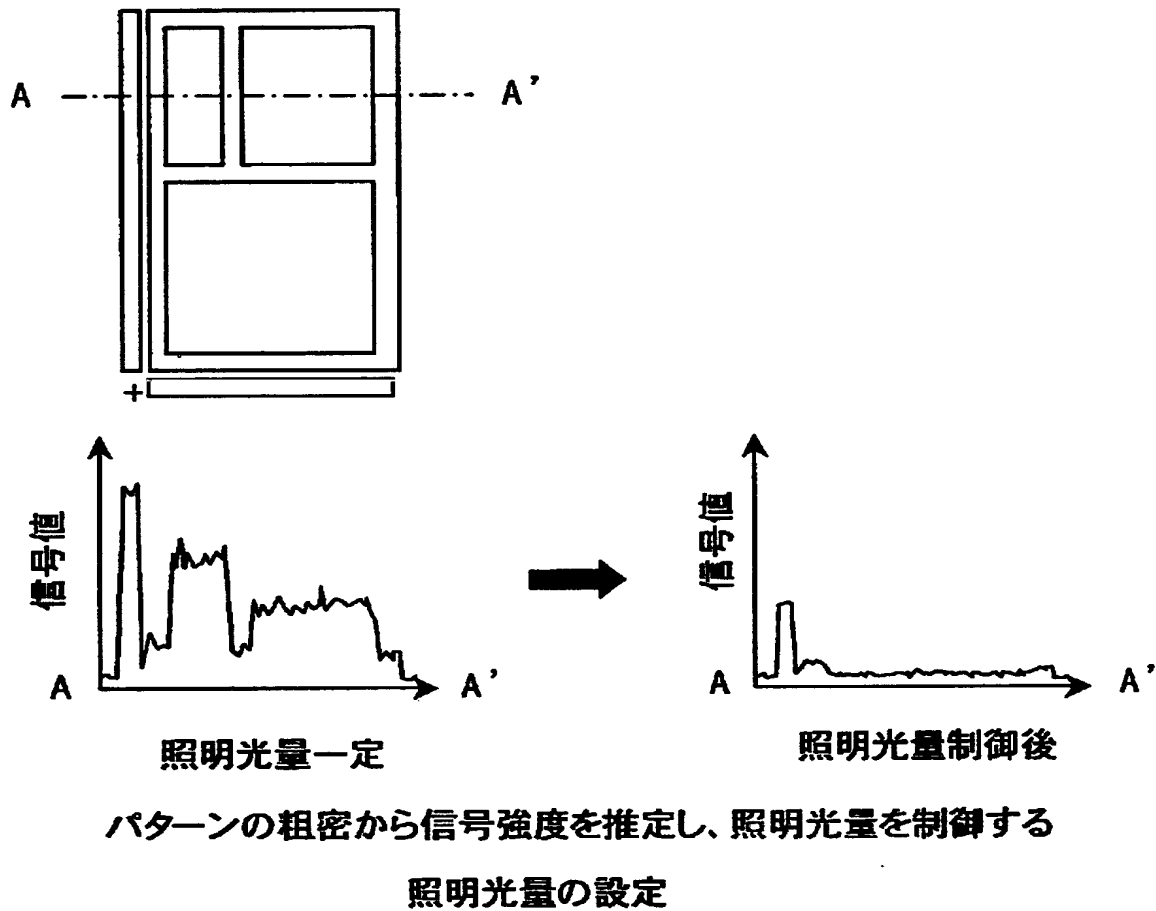
【図 1 2】

図12



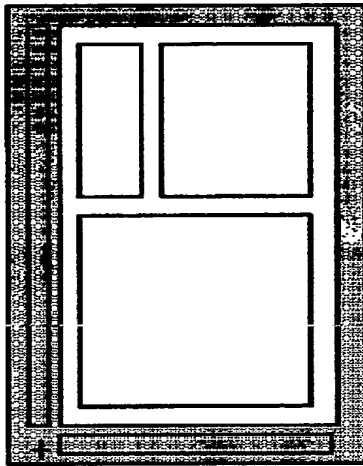
【図 1 3】

図13



【図 1 4】

図14



虚報多発エリア設定



虚報多発エリア

〔 スクリプエリア
メモリマット周辺 〕

【書類名】 要約書

【要約】

【課題】 白色光・レーザ光・あるいは電子線を照射して形成された画像を用いて微細な回路パターンを検査する技術において、検査に必要な各種条件を設定する際にその操作効率を向上するための技術を適用する。

【解決手段】

半導体デバイスの検査装置において、半導体デバイスの設計データを利用することで検査装置の複数のパラメータを自動的に設定可能とする機能をそなえた。

【選択図】 図 2

特 2 0 0 1 - 2 2 2 4 0 5

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 1 - 2 2 2 4 0 5
受付番号	5 0 1 0 1 0 7 8 2 6 1
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 3 年 7 月 2 5 日

< 認定情報・付加情報 >

【提出日】 平成13年 7月24日

次頁無

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所